

WHAT IS CLAIMED IS:

1. 半導体記憶装置 comprising:

n 値 (n は 1 以上の自然数) の閾値電圧により複数のデータを記憶するメモリセル;

5 少なくとも前記メモリセルから読み出された第 1 又は第 2 の論理レベルのデータを記憶する第 1 のデータ記憶回路;

データ線に接続され、少なくとも前記データ線から供給された第 1 又は第 2 の論理レベルのデータを記憶する第 2 のデータ記憶回路;

10 少なくとも前記メモリセルから読み出されたデータ又は前記第 1 のデータ記憶回路から供給された第 1 又は第 2 の論理レベルのデータを記憶する第 3 のデータ記憶回路;

15 制御回路、この制御回路は、第 1、第 2、第 3 のデータ記憶回路のデータを操作し、前記第 1 のデータ記憶回路の論理レベルが、第 2 の論理レベルの場合、前記メモリセルの閾値電圧を変化させず、前記第 1 のデータ記憶回路の論理レベルが、第 1 の論理レベルの場合であり、前記第 3 のデータ記憶回路の論理レベルが第 1 の論理レベルの場合、前記メモリセルの閾値電圧を上げる第 1 の書き込み動作を行ない、前記第 3 のデータ記憶回路の論理レベルが第 2 の論理レベルの場合、前記メモリセルの閾値電圧を上げる第 2 の書き込み動作を行ない、

20 前記制御回路は、第 1 のベリファイ動作時、前記第 2 のデータ記憶回路の論理レベルが、第 1 の論理レベルの場合、前記メモリセルをプリチャージせず、第 2 のデータ記憶回路の論理レベルが、第 2 の論理レベルの場合、前記メモリセルをプリチャージする、

25 前記制御回路は、前記メモリセルの閾値電圧が第 1 のベリファイ電圧を超えている場合、前記第 3 のデータ記憶回路の論理レベルを第 2 の論理レベルに設定し、前記メモリセルの閾値電圧が第 1 のベリファイ電圧を超えていない場合、前記第 3 のデータ記憶回路の論理レベルを変化させ

5 ず、前記メモリセルの閾値電圧が前記第1のベリファイ電圧より高い第2のベリファイ電圧を超えている場合、前記第1のデータ記憶回路の論理レベルを第2の論理レベルに設定し、前記メモリセルの閾値電圧が第2のベリファイ電圧を超えていない場合、第1のデータ記憶回路の論理レベルを変化させず、

前記制御回路は、第2のベリファイ動作時、前記第3のデータ記憶回路の論理レベルが、前記第1の論理レベルの場合、前記メモリセルをプリチャージせず、前記第2のデータ記憶回路の論理レベルが、前記第2の論理レベルの場合、前記メモリセルをプリチャージし、

10 前記制御回路は、前記メモリセルの閾値電圧が前記第2のベリファイ電圧より高い第3のベリファイ電圧を超えている場合、前記第1のデータ記憶回路の論理レベルを第2の論理レベルに設定し、前記メモリセルの閾値電圧が前記第3のベリファイを超えていない場合、前記第1のデータ記憶回路の論理レベルを変化させず、

15 前記制御回路は、第3のベリファイ動作時、前記メモリセルの閾値電圧が前記第3のベリファイ電圧より高い第4のベリファイ電圧を超えている場合、前記第1のデータ記憶回路の論理レベルを前記第2の論理レベルに設定し、前記メモリセルが前記第4のベリファイ電圧を超えていない場合、第1のデータ記憶回路の論理レベルを変化させず、前記第1のデータ記憶回路の論理レベルが前記第2の論理レベルになるまで、前記第1、  
20 第2の書き込み動作及びベリファイ動作を繰り返す。

2. The device according to claim 1,

前記メモリセルは、EEPROMにより構成されている。

3. The device according to claim 1,

25 前記メモリセルは、NAND型フラッシュメモリを構成する。

4. The device according to claim 1,

前記第2の書き込み動作は、前記第1の書き込み動作より、書き込

み速度が遅い。

5. 半導体記憶装置 comprising:

n 値 (n は 1 以上の自然数) の閾値電圧により複数のデータを記憶するメモリセル;

5 少なくとも前記メモリセルから読み出された第 1 又は第 2 の論理レベルのデータを記憶する第 1 のデータ記憶回路;

データ線に接続され、少なくとも前記データ線から供給された第 1 又は第 2 の論理レベルのデータを記憶する第 2 のデータ記憶回路;

10 少なくとも前記メモリセルから読み出されたデータ又は前記第 1 のデータ記憶回路から供給された第 1 又は第 2 の論理レベルのデータを記憶する第 3 のデータ記憶回路;

15 制御回路、この制御回路は、前記メモリセルに第 1 ページのデータを書き込んだ後、前記第 2 のデータ記憶回路にデータ線から第 2 ページのデータを記憶させ、前記メモリセルから読み出した前記第 1 ページのデータを前記第 1 のデータ記憶回路に記憶させ、第 1 、第 2 、第 3 のデータ記憶回路のデータを操作し、メモリセルにデータを “2” を書き込んでいる場合と、メモリセルにデータを “1” を書き込んでいて第 1 のベリファイ電圧を超えている場合、前記第 3 のデータ記憶回路に前記第 2 の論理レベルを設定し、これ以外の場合前記第 3 のデータ記憶回路に前記第 1 の論理レベルを設定する。

20 6. The device according to claim 5,

前記メモリセルは、EEPROMにより構成されている。

7. The device according to claim 5,

前記メモリセルは、NAND型フラッシュメモリを構成する。

25 8. 半導体記憶装置 comprising:

n 値 (n は 1 以上の自然数) の閾値電圧により複数のデータを記憶するメモリセル;

少なくとも前記メモリセルから読み出された第1又は第2の論理レベルのデータを記憶する第1のデータ記憶回路；

データ線に接続され、少なくとも前記データ線から供給された第1又は第2の論理レベルのデータを記憶する第2のデータ記憶回路；

5 少なくとも前記メモリセルから読み出されたデータ又は前記第1のデータ記憶回路から供給された第1又は第2の論理レベルのデータを記憶する第3のデータ記憶回路；

10 制御回路、この制御回路は、前記データ線から供給された第1ページのデータを前記第2のデータ記憶回路に記憶させ、前記第2のデータ記憶回路に記憶された前記第1ページのデータを前記第1のデータ記憶回路に転送し、前記データ線から供給された第2ページのデータを前記第2のデータ記憶回路に記憶させ、前記第1のデータ記憶回路に記憶された第1ページのデータと前記第2のデータ記憶回路に記憶された第2ページのデータより、書き込みデータを設定し、前記書き込みデータに基づき前記メモリセルに前記第1ページのデータと前記第2ページのデータを同時に書き込む。

9. The device according to claim 8,

前記メモリセルは、EEPROMにより構成されている。

10. The device according to claim 8,

20 前記メモリセルは、NAND型フラッシュメモリを構成する。

11. 半導体記憶装置 comprising:

各々が少なくとも第1、第2、第3、第4の閾値電圧のうちの1つを持つことが可能な複数のメモリセル、各メモリセルは2ビットのデータを記憶する； and

25 前記複数のメモリセルの閾値電圧を制御してデータを書き込む書き込み回路、

前記書き込み回路 including:

書き込むべきデータに応じて、第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第1のステップ；

書き込むべきデータに応じて、第2のメモリセルの閾値電圧を、  
5 前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第2のステップ； and

前記第1のメモリセルの閾値電圧が前記第1の閾値電圧である場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第2の閾値電圧に変える、前記第1のメモリセルの閾値電圧が前記第3の閾値電圧である場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第3の閾値電圧に維持する、あるいは、前記第3の閾値電圧から前記第4の閾値電圧に変える第3のステップ、  
10

前記書き込み回路は、前記第3のステップにより、前記第1のメモリセルの閾値電圧を前記第3の閾値電圧に維持する場合において、前記第1のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第1のメモリセルの閾値電圧を変化させる。  
15

12. The device according to claim 11,

前記第2の閾値電圧は、前記第1の閾値電圧と前記第3の閾値電圧  
20 の間である。

13. The device according to claim 12,

前記第2の閾値電圧と前記第3の閾値電圧は、前記第1の閾値電圧  
と前記第4の閾値電圧の間である。

14. The device according to claim 11, 前記書き込み回路  
25 further includes

第4のステップ、前記第4のステップは、前記第2のメモリセルの  
閾値電圧が前記第1の閾値電圧である場合、書き込むべきデータに応じ

て、前記第2のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第2の閾値電圧に変える、前記第2のメモリセルの閾値電圧が前記第3の閾値電圧である場合、書き込むべきデータに応じて、前記第2のメモリセルの閾値電圧を、前記第3の閾値電圧に維持する、あるいは、前記第3の閾値電圧から前記第4の閾値電圧に変える。

15. The device according to claim 14,

前記書き込み回路は、前記第4のステップで前記第3の閾値電圧に維持する場合で、前記第2のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第2のメモリセルの閾値電圧を変化させる。

16. The device according to claim 11,

前記第1のメモリセルと前記第2のメモリセルは隣接して配置されている。

17. The device according to claim 11,

前記第1のメモリセルと前記第2のメモリセルは共通のワード線に接続され、かつ隣接して配置されている。

18. The device according to claim 11,

前記第1のメモリセルと前記第2のメモリセルは共通のビット線に接続され、かつ隣接して配置されている。

20. The device according to claim 11,

前記第3の閾値電圧の値の定義は、前記第3のステップの前後で異なる。

25. The device according to claim 19, further comprising

前記第3の閾値電圧の値を制御するため、前記第3のステップが行われたか否かを示すデータを記憶する第3のメモリセル。

21. 半導体記憶装置 comprising:

各々が少なくとも第1、第2、第3、第4の閾値電圧のうちの1つを持つことが可能な複数のメモリセル、各メモリセルは2ビットのデータを記憶する； and

前記複数のメモリセルの閾値電圧を制御してデータを書き込む書き  
5　込み回路、

前記書き込み回路 including:

書き込むべきデータに応じて第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第1のステップ；

10　書き込むべきデータに応じて第2のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第2のステップ；

15　書き込むべきデータに応じて第3のメモリセルの閾値電圧を前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第3の閾値電圧に変える第3のステップ； and

前記第1のメモリセルの閾値電圧が前記第1の閾値電圧である場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第1の閾値電圧に維持する、あるいは、前記第1の閾値電圧から前記第2の閾値電圧に変える、且つ前記第1のメモリセルの閾値電圧が前記第3の閾値電圧である場合、書き込むべきデータに応じて、前記第1のメモリセルの閾値電圧を、前記第3の閾値電圧に維持する、あるいは、前記第3の閾値電圧から前記第4の閾値電圧に変える第4のステップ。

22. The device according to claim 21,

前記書き込み回路は、前記第4のステップで前記第3の閾値電圧に維持する場合で、前記第1のメモリセルの閾値電圧が所定の閾値電圧に達していない場合、前記第1のメモリセルの閾値電圧を変化させる。

23. The device according to claim 21,

前記第2の閾値電圧は、前記第1の閾値電圧と前記第3の閾値電圧の間である。

24. The device according to claim 23,

前記第2の閾値電圧と前記第3の閾値電圧は、前記第1の閾値電圧と前記第4の閾値電圧の間である。  
5

25. The device according to claim 22, 前記書き込み回路  
further includes

第5のステップ、前記第5のステップは、閾値電圧が前記第1の閾  
10 値電圧である場合、書き込むべきデータに応じて、前記第2のメモリセル  
及び前記第3のメモリセルの閾値電圧を、前記第1の閾値電圧に維持す  
る、あるいは、前記第1の閾値電圧から前記第2の閾値電圧に変える、且  
つ、閾値電圧が前記第3の閾値電圧である場合、書き込むべきデータに応  
じて、前記第2のメモリセル及び前記第3のメモリセルの閾値電圧を、前  
記第3の閾値電圧に維持する、あるいは、前記第3の閾値電圧から前記第  
15 4の閾値電圧に変える。

26. The device according to claim 25,

前記書き込み回路は、前記第5のステップで前記第3の閾値電圧に  
維持する場合で、前記第2のメモリセル及び前記第3のメモリセルの閾  
20 値電圧が所定の閾値電圧に達していない場合、前記第2のメモリセル及び前  
記第3のメモリセルの閾値電圧を変化させる。

27. The device according to claim 21,

前記第1のメモリセルと前記第2のメモリセルは隣接して配置さ  
れ、前記第1のメモリセルと前記第3のメモリセルは隣接して配置されて  
いる。

25 28. The device according to claim 21,

前記第1のメモリセルと前記第2のメモリセルは共通のワード線に  
接続され、且つ隣接して配置され、前記第1のメモリセルと前記第3のメ

モリセルは共通のビット線に接続され、且つ隣接して配置されている。

29. The device according to claim 22,

前記第3の閾値電圧の値の定義は、前記第4のステップの前後で異なる。

5 30. The device according to claim 29, further comprising

第4のメモリセル、前記第4のメモリセルは前記第3の閾値電圧の値を制御するために、前記第4のステップが行われたか否かを記憶する。